

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 6 日
Date of Application:

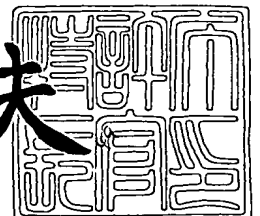
出 願 番 号 特 願 2 0 0 2 - 3 2 2 7 1 7
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 2 2 7 1 7]

出 願 人 キヤノン株式会社
Applicant(s):

2 0 0 3 年 1 1 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 226783

【提出日】 平成14年11月 6日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G06F 15/18 560

【発明の名称】 信号処理回路

【請求項の数】 1

【発明者】

 【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会社
 内

 【氏名】 真継 優和

【発明者】

 【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会社
 内

 【氏名】 森 克彦

【発明者】

 【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会社
 内

 【氏名】 御手洗 裕輔

【特許出願人】

 【識別番号】 000001007

 【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号

 【氏名又は名称】 キャノン株式会社

 【代表者】 御手洗 富士夫

 【電話番号】 03-3758-2111

【代理人】**【識別番号】** 100090538**【住所又は居所】** 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会社
内**【弁理士】****【氏名又は名称】** 西山 恵三**【電話番号】** 03-3758-2111**【選任した代理人】****【識別番号】** 100096965**【住所又は居所】** 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会
社内**【弁理士】****【氏名又は名称】** 内尾 裕一**【電話番号】** 03-3758-2111**【手数料の表示】****【予納台帳番号】** 011224**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9908388**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 信号処理回路

【特許請求の範囲】

【請求項 1】 演算処理回路と、

回路構成情報を記憶する回路構成情報記憶手段と、

前記回路構成情報記憶手段から読み出される回路構成情報に基づき前記演算処理回路に所定の制御信号を出力する回路構成制御手段とを有し、

前記演算処理回路は、

入力信号に対して所定の信号変調を行う複数のアナログ処理ブロックと、

前記複数のアナログ処理ブロックからの出力を一時的に保持する複数の処理結果保持メモリブロックと、

前記複数のアナログ処理ブロックの演算特性を制御するためのデータを格納する複数の演算制御データメモリブロックと、

前記複数の処理結果保持メモリブロックまたは前記複数のアナログ処理ブロック間を結ぶ複数の信号線とを備え、

前記回路構成制御手段が前記演算制御データメモリブロックからのデータ読み出しを制御することにより、前記演算処理回路に異なる複数の信号処理機能を実行させることを特徴とする信号処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、処理内容に応じて回路構成を変えることができるアナログ／デジタル混載型の信号処理回路に関する。

【0002】

【従来の技術】

FPGAを応用し、アナログ処理素子を再構成可能に結線する方法として、特開平11-168185号公報、特開2000-331113号公報に開示されるような構成が知られる。前者は、積層基板上の一方にFPGAを形成し、他方にアナログ処理回路を形成し、両者を連結する入出力端子とインターフェース回

路とを有している。また、後者は、第一及び第二のアナログ信号をそれぞれパルス幅変調 (PWM) 信号に変換した後、FPGA回路に両信号を入力し、FPGA回路で2つのPWM信号の論理演算を行わせることにより、再構成可能としたものである。

【0003】

また、特許2679730号公報に開示される階層構造ニューラルネットでは、単層のハードウェアを時分割多重化使用して多層化することを可能とする階層構造ニューラルネットのアーキテクチャに関し、単層のハードウェアを時分割多重化使用して等価的に多層化することを可能とすることを目的とし、複数のニューロンモデルを相互に接続することにより形成されるニューラルネットにおいて、時分割多重化アナログ信号を外部からのデジタル重みデータとの積を生成し、かつその積を時分割的にコンデンサを介して加えることにより積分し、非線形出力関数を通した電圧を時分割的に出力することを可能とするニューロンモデルのユニットを複数設置して単層のユニット集合を形成する単層ユニット集合手段と、前記単層ユニット集合手段の出力を同じ単層ユニット集合の入力部に帰還する帰還手段と、前記単層ユニット集合手段から出力される各ユニットからのアナログ信号を時分割多重化し、さらに前記帰還手段を介して前記単層ユニット集合手段を時分割多重使用するための制御を実行する制御手段とを有し、単層構造のユニット集合手段を時分割多重使用することにより等価的に階層構造のニューラルネットを形成するように構成する。

【0004】

USP5959871に係るFPAA (Field Programmable Analog Array) 回路では、マルチプレクサ、デマルチプレクサと制御回路及びアナログ処理要素を含むプログラマブルなアナログ処理セルを信号線を介して並列的に配列し、プログラマブルなアナログ処理演算を行う。

【0005】

【発明が解決しようとする課題】

これらの技術に対して、演算素子の数が増すと入出力端子の数が指数関数的に増え、扱いが困難になること、そのために任意の配線構造を設定することが原理

的に困難であることなどの問題を解決することが望まれていた。また、小規模な回路構成で大規模な並列階層処理回路を低消費電力で実現するという問題は未だ完全に解決されていない。

【0006】

【課題を解決するための手段】

本発明のある態様によれば、演算処理回路と、回路構成情報を記憶する回路構成情報記憶手段と、前記回路構成情報記憶手段から読み出される回路構成情報に基づき前記演算処理回路に所定の制御信号を出力する回路構成制御手段とを有し、前記演算処理回路は、入力信号に対して所定の信号変調を行う複数のアナログ処理ブロックと、前記複数のアナログ処理ブロックからの出力を一時的に保持する複数の処理結果保持メモリブロックと、前記複数のアナログ処理ブロックの演算特性を制御するためのデータを格納する複数の演算制御データメモリブロックと、前記複数の処理結果保持メモリブロックまたは前記複数のアナログ処理ブロック間を結ぶ複数の信号線とを備え、前記回路構成制御手段が前記演算制御データメモリブロックからのデータ読み出しを制御することにより、前記演算処理回路に異なる複数の信号処理機能を実行させることを特徴とする。

【0007】

【発明の実施の形態】

<第一の実施形態>

全体構成と各部の概要

以下、図面を参照して本発明の第一の実施形態を詳細に説明する。図1は、本実施形態での再構成可能な処理回路の要部構成図を示す。この回路は、図9に示すように、全体としては回路構成情報記憶手段1、および回路構成制御手段2とともに再構成処理回路3として信号処理回路を構成する。

【0008】

図1に示すように再構成処理回路3は、2種類のアナログ処理ブロック（ AB_I と AB_S ）の3タイプの処理要素ブロック、後で説明するニューロン素子としてのアナログ処理ブロック（ AB_I 、 AB_{I+1} など）の処理結果を一時的に保持するための処理結果保持メモリブロックMB、及びアナログ処理ブロックの演

算特性制御データ保持メモリブロックWBとがそれぞれ複数格子状に配列されている。

【0009】

メモリブロックMBを構成する記憶素子としては、アナログメモリとしてのキャパシタ、特に強誘電体材料若しくは高誘電率材料を用いたメモリなどが用いられる。その他、デジタルメモリとしてのSRAM、FeRAMなどを用いてもよい。メモリブロックWBとしては、不揮発性のメモリ例えば、FeRAMなどが用いられるが、SRAMなどであってもよい。

【0010】

処理結果保持メモリブロックMBはアナログ処理ブロック (AB^I , AB^{I+1} など) に隣接して分散配置され、演算特性制御データ保持メモリブロックWBもアナログ処理ブロック AB_S に隣接して分散配置されている。なお、図1において各ブロック間は、不図示の多入力多出力が可能な複数のスイッチブロックSW、および信号制御線で結合されている。

【0011】

信号制御線の種類としては、各ブロック間の信号の伝達、スイッチブロックSWのON/OFFパターン制御を行うためのスイッチブロック制御線 (図2参照、図1では不図示)、アナログ処理ブロックの信号変調パラメータを制御するためのアナログ処理ブロック制御線 (図2参照、図1では不図示) がある。各制御線には、クロック信号線が含まれ、所定のクロックタイミングでデジタル的に制御信号を所定のブロックに伝達する。

【0012】

アナログ処理ブロック AB^I は、階層レベルIのニューロン素子を表し、アナログ処理ブロック AB_S は、以下に説明するシナプス素子を表す。スイッチブロックは、所定のクロック信号を入力し、デジタル的に制御される回路ブロックである。また、アナログ処理ブロック (AB^I と AB_S) は、アナログ的な処理を行うためのものであるが、必ずしもキャパシタや抵抗等のアナログ回路要素のみから構成されるわけではなく、デジタル回路要素を内部に含んでも良い。

【0013】

図1において $I+1$ 層のニューロン素子 AB^{I+1}_3 が入力を受ける信号の伝達経路は、 $AB^I_4 \rightarrow MB \rightarrow ABS_4 \rightarrow AB^{I+1}_3$ 、 $AB^I_3 \rightarrow MB \rightarrow ABS_3 \rightarrow AB^{I+1}_3$ 、及び、 $AB^I_2 \rightarrow MB \rightarrow ABS_2 \rightarrow AB^{I+1}_3$ の3経路である。一方、 $I+1$ 層のニューロン素子 AB^{I+1}_2 が入力を受ける信号の伝達経路は、 $AB^I_3 \rightarrow MB \rightarrow ABS_3 \rightarrow AB^{I+1}_2$ 、 $AB^I_2 \rightarrow MB \rightarrow ABS_2 \rightarrow AB^{I+1}_2$ 、及び、 $AB^I_1 \rightarrow MB \rightarrow ABS_1 \rightarrow AB^{I+1}_2$ の3経路である。これら2つの経路は部分的に重複しているが、重複部分にあるシナプス素子が施すアナログ変調量は信号経路によって一般的に異なり、シナプス素子では経路（入力信号）により異なる変調が与えられるように図3に示すような構成をとっている（詳細は後で説明）。

【0014】

アナログ処理ブロック AB^{I+1} に付随する処理結果保持メモリ MB に格納されたデータは、回路構成制御手段2により読み出され、次の階層レベル $I+2$ を実現する際に、図1に示すアナログ処理ブロック AB^I がアナログ処理ブロック AB^{I+2} になりアナログ処理ブロック AB^{I+2} にアナログ処理ブロック AB^{I+1} の出力データがメモリブロック MB からフィードバック結合線（不図示）を介してフィードバックされる。

【0015】

このように、階層数が増していても2層または1層分の回路要素により構成される再構成処理回路3で階層レベルが上がるごとに必要な回路構成情報が回路構成情報記憶手段1から読み出され、それが各演算特性制御データ保持メモリブロック WB にローディングされることにより処理が進行していく。中間的な処理結果をこのように分さして配置されたメモリに格納することにより、配線問題の影響を受け難くすることができ、より集積度が向上する。

【0016】

図9の回路構成制御手段2は、図2のスイッチブロック制御線およびアナログ処理ブロック制御線とに制御信号を出力する。前者に対応する制御信号は、図5～7に例示する各スイッチブロック SW 内部のスイッチ素子のオン、オフ制御情報を、後者に対応する制御信号は、シナプス素子での信号変調特性（例えば、パ

ルス位相変調量など) またはニューロン素子での時間窓重み付き積分の時間窓幅、重み関数などの特性を制御する。

【0017】

以下に説明する各アナログ処理ブロック AB (AB^I 、 AB^S のいずれも) は、周囲をスイッチブロック SW で取り囲まれるようにして配列している。また、ニューロン素子としてのアナログ処理ブロック AB^I 等には、処理結果を保持するメモリブロック MB が付随し (隣接して配置され) ている。

【0018】

図2において各ブロックでの信号の入出力方向が SW_2 の周囲に付してある番号で示す通り (1) ~ (6) の6方向 (スイッチブロック SW からの一般的な信号の可逆伝達方向を表す) ある事に対応して、正六角形をなすように表示されているが、他の形状であってその辺の数に応じた入出力数を有するものであってもよい。

【0019】

各ブロック間の結線状態の例を図2に示す。その伝達方向において実線はスイッチブロック SW を介してブロック間 (スイッチブロック間またはスイッチブロックとアナログ処理ブロック間) における配線が信号の伝達可能な状態を表し、破線は信号伝達が不可能な配線の状態を表している。

【0020】

各スイッチブロック SW は、図2において水平方向に走るスイッチブロック制御線を介して信号の入出力方向 (図では6方向) 別に ON/OFF 動作が設定される。スイッチブロック SW ごとの ON/OFF パターンのデータは、複数種類が予め所定の回路構成情報記憶手段1内部のメモリ ($SRAM$ 、 $DRAM$ 、 $FRAM$ 、 $MRAM$ など) に記憶され、処理内容に応じて更新 (切り替え) することが可能である。

【0021】

図5 (1) にスイッチブロック SW の構成を示す。ここでは、各方向別に計6個のデジタル回路要素であるスイッチ素子 SWD_j ($j = 1, 2, \dots, 6$) が配置され、それぞれの ON/OFF パターン (ON 状態は黒丸、 OFF 状態は白丸

で表示)により、図5(2)に示すような信号の出力方向の制御機能、および図6(1)に示すように複数の入力信号を統合して所定の方角に出力する機能を実現することができる。

【0022】

また、図6(2)或いは図7に示すように信号線を各方向に複数個独立して設定してもよい。図6(2)では、同一方向に走る複数信号線について1個のスイッチ素子を割り当てている。図7では、同一方向に走る複数の信号線それぞれについてスイッチ素子SWDを設けている。このようにすることにより、複数のパルス信号の流れを同一スイッチブロックSWで別個独立に制御することができる。スイッチブロック内のスイッチ素子の状態制御はスイッチブロック制御線を介して所定のクロックタイミングで行われる。

【0023】

図1および図2において特に、信号線1、信号線2と示されているのは、ニューロン素子 AB^I にシナプス素子 AB_S でアナログ変調された信号を伝達するための線である。これは、図6(2)に示す構成をスイッチブロックSWにおいて用いた場合に相当する。図1において信号線1は、ニューロン素子 AB^{I+1}_3 に、信号線2はニューロン素子 AB^{I+1}_4 に信号を伝達する。これら信号線は後述する局所的な共通バスラインとして用いられ、所定のパルス変調信号が伝播する。

【0024】

図2では便宜上、以上説明したような信号線は2本のみ表示したが、実際にはさらに多くの信号線を配しても良い。ただし、信号線の本数が多くなると配線部分の面積の回路全体に占める割合が大きくなりすぎ、集積度が上がらなくなるなどの問題が生じるので、その本数には一定の制限を設ける。

【0025】

しかしながら、その限度を超えた数の信号線が必要となる場合がある。例えば、 n 個の $I+1$ 層のニューロン素子が、 m 個($n>m$)の信号線を用いて互いに部分的に重複する I 層の s 個のニューロン素子からの出力信号についてそれぞれ異なるアナログ変調をシナプス素子で行った後入力する場合である。

【0026】

このような場合には、時分割でニューロン素子 AB^I ブロックに接続するスイッチブロック SW の ON/OFF パターンを切り替えて処理する。その際には、シナプス素子としてのアナログ処理ブロック AB_S 内のアナログ変調回路（後述）の変調量も回路構成制御手段 2 からの制御信号がアナログブロック制御線（図 2）を介して更新される。

【0027】

次に、本実施形態の信号処理回路における各ブロックの機能について説明する。スイッチブロック SW は、それと接続するアナログ処理ブロック（ AB^I 、 AB_S ）からの信号の流れを制御することにより、上位の階層レベルのニューロン素子が入力を受ける下位階層のニューロン素子の範囲（以下、「受容野」という）を決定する。この受容野によって与えられる結合構造は複数配列されるスイッチブロック SW の ON/OFF パターンにより任意に設定することができる。

【0028】

さらに受容野内のシナプス結合荷重の分布構造のデータは、演算特性制御データメモリブロック WB に格納され、後述するアナログ処理ブロック内の複数ある変調回路の個々のパラメータを設定することにより任意に与えることができる。

【0029】

これらの結果として、デジタルメモリ素子にシナプス荷重情報或いは配線情報を格納して、メモリアクセスを頻繁に行うような構成をとる必要がなくなることにより、高速並列処理の特性が確保されると同時に、処理内容（抽出する特徴の種類）に応じた回路構成の変更といった柔軟性、拡張性がもたらされる。

【0030】

アナログ処理ブロック AB_S は、信号の変調量を複数のシナプス荷重値に応じて個々に設定可能な多入力多出力素子であり、典型的には入力信号にシナプス荷重値を積算した信号を出力する（後述する実施形態では入力パルス信号の位相変調信号を出力する）。図 3 に示すように、複数シナプス荷重値に対応するアナログ変調手段を内部に複数有する。

【0031】

一つのアナログ処理ブロック AB_S は、一定範囲内で出力側 I と入力側 J の各ニューロンの範囲を設定可能であり、内部に出力側ニューロン素子アドレスと入力側ニューロン素子アドレスによって決まるシナプス荷重値に相当する変調を与える複数のアナログ変調手段を有する。図3にその構造を示す。

【0032】

図3(1)では、本発明で用いるシナプス素子の構成を示し、内部に出力線(入力線)の数と同数のアナログ変調手段を有する。図3では、表示を簡略化するためにアナログブロック制御線は示していないが、各アナログ変調手段は、当該制御線を介して変調量(本実施形態ではパルス位相(遅延量)またはパルス幅の変調)が設定または更新される。

【0033】

図3(2)では、多入力ー出力のシナプス素子の構成を示す。この素子は、上位層の複数のニューロン素子が重複する下位層ニューロンからの信号出力を時分的に受ける場合に、各信号について上位層ニューロンに応じて異なるアナログ変調がシナプス素子で行われる場合に用いられる。

【0034】

例えば、図1において、 I 層のニューロン素子 AB_{I_3} から $I+1$ 層のニューロン素子 AB_{I+1_3} へ至る信号伝達経路(点線の矢印)とニューロン素子 AB_{I_3} からニューロン素子 AB_{I+1_2} へ至る信号伝達経路(実線の矢印)は、いずれもシナプス素子 AB_{S_3} を通る。

【0035】

シナプス素子 AB_{S_3} においては、それぞれの伝達経路(または上位層ニューロンのアドレス)によって異なる変調量(パルス位相変調、パルス幅変調など)が得られるように内部にある複数の変調手段の各パラメータが設定されている。

【0036】

このように構成することにより、近接するニューロン素子の間で互いに重複する受容野構造がある場合においても同一アナログ処理ブロック AB_S を経由する複数の異なる信号伝達経路を設定することが可能となる。その結果、神経回路網を構成する回路要素間の配線問題の軽減、回路要素数の低減がもたらされる。

【0037】

アナログ変調量は以下に説明するパルス位相変調においては、シナプス回路を構成する要素であるキャパシタに与える電荷量などによって与えることができ、アナログ処理ブロック A B S 内の各変調手段にある浮遊ゲート素子またはキャパシタにアナログ処理ブロック制御線（図 2（1）に示す）を介して所定電荷量が与えられる。

【0038】

ここで、図 9 に示す回路構成制御手段 2 は、回路構成情報記憶手段 1 に格納されたシナプス荷重値データ（所定の蓄積電荷量を与える印加電圧など）を読み出すと、浮遊ゲート素子またはキャパシ）において、シナプス荷重値相当の電荷が蓄積（電圧が発生）するまで電流を注入する。その後、受容野構造を構成する要素となる各シナプス回路要素 A B S k （ $k=1, 2, \dots$ ）を時系列的にアクセスし、電圧印加して電荷を注入することによりシナプス荷重の分布構造（受容野構造）を設定する。なお、高速に荷重値相当のデータを書き換え可能で、かつ所定時間そのデータを保持することができるメモリ素子（MRAM、F e R A M など）が利用可能であれば、そのようなメモリ素子を用いても良い。

【0039】

次に、図 1 に示す構成を用いて、並列階層処理により画像認識を行う神経回路網を形成した場合について説明する。はじめに図 8 を参照して神経回路網の処理内容を詳細に説明する。この神経回路網は、入力データ中の局所領域において、対象または幾何学的特徴などの認識（検出）に関与する情報を階層的に扱うものであり、その基本構造はいわゆる C o n v o l u t i o n a l ネットワーク構造（L e C u n, Y. and B e n g i o, Y., 1995, “C o n v o l u t i o n a l N e t w o r k s f o r I m a g e s S p e e c h, a n d T i m e S e r i e s” in H a n d b o o k o f B r a i n T h e o r y a n d N e u r a l N e t w o r k s (M. A r b i b, E d.), M I T P r e s s, p p. 255-258）である。最終層（最上位層）からの出力は認識結果としての認識された対象のカテゴリとその入力データ上の位置情報である。

【0040】

データ入力層101は、CMOSセンサ、或いはCCD素子等の光電変換素子からの局所領域データを走査手段1の指示の下に入力する層である。最初の特徴検出層(1, 0)は、データ入力層101より入力された画像パターンの局所的な低次の特徴(特定方向成分、特定空間周波数成分などの幾何学的特徴のほか色成分特徴を含んでもよい)を全画面の各位置を中心として局所領域(或いは、全画面にわたる所定のサンプリング点の各点を中心とする局所領域)において同一箇所でも複数のスケールレベル又は解像度で複数の特徴カテゴリの数だけ検出する。そのために、特徴の種類(例えば、幾何学的特徴として所定方向の線分を抽出する場合にはその幾何学的構造である線分の傾き)に応じた受容野構造を有し、その程度に応じたパルス列を発生するニューロン素子から構成される。

【0041】

特徴統合層103(2, 0)は、所定の受容野構造(以下、受容野とは直前の層の出力素子との結合範囲を、受容野構造とはその結合荷重の分布を意味する)を有し、パルス列を発生するニューロン素子からなり、特徴検出層102(1, 0)からの同一受容野内にある複数のニューロン素子出力の統合(局所平均化、最大出力検出等によるサブサンプリングなどの演算)を行う。また、特徴統合層内のニューロンの各受容野は同一層内のニューロン間で共通の構造を有している。

【0042】

後続の層である各特徴検出層102((1, 1)、(1, 2)、...、(1, M))及び各特徴統合層103((2, 1)、(2, 2)、...、(2, M))は、それぞれ所定の受容野構造を持ち、上述した各層と同様に前者((1, 1)、...)は、各特徴検出モジュールにおいて複数の異なる特徴の検出を行い、後者((2, 1)、...)は、前段の特徴検出層からの複数特徴に関する検出結果の統合を行う。但し、前者の特徴検出層は同一チャンネルに属する前段の特徴統合層の細胞素子出力を受けるとして結合(配線)されている。特徴統合層で行う処理であるサブサンプリングは、同一特徴カテゴリの特徴検出細胞集団からの局所的な領域(当該特徴統合層ニューロンの局所受容野)からの出力につい

での平均化などを行うものである。

【0043】

以上に説明した並列階層構造を図1に示す構成で実現した場合は、シナプスはアナログ処理ブロック AB_S を構成し、I層のニューロン素子は、アナログ処理ブロック AB_I を構成するものである。

【0044】

図4では、ある特徴検出（統合）細胞に対する受容野を形成する特徴統合（検出）細胞のニューロン群（ n_i ）からの出力（当該細胞から見ると入力）に関与する結合手段の構成を示している。信号伝達手段として太線で示している部分は局所的な共通バスラインを構成し、この信号伝達ライン上に複数のニューロンからのパルス信号が時系列に並んで伝達される。

【0045】

いわゆる、興奮性結合はシナプス結合手段Sにおいて、パルス信号の増幅を行い、抑制性結合は逆に減衰を与えるものである。パルス信号により情報の伝達を行う場合、増幅及び減衰はパルス信号の振幅変調、パルス幅変調、位相変調、周波数変調のいずれによっても実現することができる。本実施形態においては、シナプス結合手段Sは、主にパルスの位相変調素子として用い、信号の増幅は、特徴に固有な量としてのパルス到着時間の実質的な進み、減衰は実質的な遅れとして変換される。即ち、シナプス結合は、出力先のニューロンにおいて、個々の特徴に固有な時間軸上の到着位置（位相）を与え、定性的には興奮性結合はある基準位相に対する到着パルスの位相の進みを、抑制性結合では同様に遅れを与えるものである。

【0046】

図4の(A)において、各ニューロン素子 n_j は、パルス信号（スパイクトレイン）を出力し、いわゆる *integrate-and-fire* 型の入出力処理を行う。次にアナログ処理ブロック AB_I を構成するニューロン回路について説明する。各ニューロン素子は、いわゆる *integrate-and-fire* ニューロンを基本として拡張モデル化したもので、入力信号（アクションポテンシャルに相当するパルス列）を時空間的に線形加算した結果が閾値を越したら

発火し、パルス状信号を出力する点では、いわゆる integrate-and-fire ニューロンと同じである。

【0047】

図4の(B)はニューロン素子としてのパルス発生回路(CMOS回路)の動作原理を表す基本構成の一例を示し、公知の回路(IEEE Trans. on Neural Networks Vol. 10, pp. 540)を拡張し、所定の時間窓内での入力パルス信号の重み付き積分を実行可能としている(時間窓重み付き積分による高次の特徴検出法については本出願人による特願2000-181487号を参照)。ここでは、入力信号として興奮性と抑制性の入力を受けるものとして構成されている。

【0048】

なお、各ニューロン素子のパルス発火タイミングの動作制御機構等に関しては、本願の主眼とするところではないので説明を省略する。

【0049】

パルス信号によるニューロン間の信号の伝達はいわゆるAER(Address Event Representation)の手法(Lazzaro, et al. 1993, Silicon Auditory Processors as Computer Peripherals, In Touretzky, D. (ed), Advances in Neural Information Processing Systems 5. San Mateo, CA: Morgan Kaufmann Publishers)を用いても良いし、本出願人による特願2000-181487号に開示されるような方法などによればよい。これらは、図4に示したように局所的な共通バスを介して複数ニューロンからのパルス信号を伝達するのに好適な方法である。

【0050】

上述したパターン認識装置をカメラその他の画像入力手段、或いはプリンタ及びディスプレイその他の画像出力手段に搭載することができる。その結果、低消費電力で小規模な回路構成により、特定被写体の認識または検出を行って所定の動作、例えば画像入力手段については、特定被写体を中心とするフォーカシング

、露出補正、ズーミング、或いは色補正などの処理を行うことができる。画像出力手段についても特定被写体に関する最適色補正などの処理を自動的に行うことができる。

【0051】

次に、本実施形態の構成に係るパターン検出（認識）装置を撮像装置に搭載させることにより、特定被写体へのフォーカシングや特定被写体の色補正、露出制御を行う場合について、図10を参照して説明する。図10は、実施形態に係るパターン検出（認識）装置を撮像装置に用いた例の構成を示す図である。

【0052】

図10の撮像装置1101は、撮影レンズおよびズーム撮影用駆動制御機構を含む結像光学系1102、CCD又はCMOSイメージセンサー1103、撮像パラメータの計測部1104、映像信号処理回路1105、記憶部1106、撮像動作の制御、撮像条件の制御などの制御用信号を発生する制御信号発生部1107、EVFなどファインダーを兼ねた表示ディスプレイ1108、ストロボ発光部1109、記録媒体1110などを具備し、更に上述した時分割多重化処理を行うパターン認識装置を被写体検出（認識）装置1111として備える。

【0053】

この撮像装置1101は、例えば撮影された映像中から予め登録された人物の顔画像の検出（存在位置、サイズの検出）を被写体検出（認識）装置1111により行う。そして、その人物の位置、サイズ情報が被写体検出（認識）装置1111から制御信号発生部1107に入力されると、同制御信号発生部1107は、撮像パラメータ計測部1104からの出力に基づき、その人物に対するピント制御、露出条件制御、ホワイトバランス制御などを最適に行う制御信号を発生する。

【0054】

上述したパターン検出（認識）装置を、このように撮像装置に用いた結果、小型・低消費電力な回路で、高速（リアルタイム）に人物検出とそれに基づく撮影の最適制御を行うことができるようになる。

【0055】

＜第二の実施形態＞

図11に再構成可能なアナログデジタル混載回路として実現される神経回路網の他の構成例を示す。本実施形態に係る再構成可能な信号処理回路は、図8に示すようなパターン認識のための階層的神経回路網を実現する他の実施形態であり、パルス信号を検出カテゴリに応じてシナプス回路（アナログ処理ブロック）において位相変調することにより、階層的に低次特徴から高次特徴まで検出する点では第一の実施形態と同じである。

【0056】

本信号処理回路は、シナプス素子としてのアナログ処理ブロック ABS 、パルス信号の位相遅延を与えるデジタル処理ブロック DB 、受容野構造（ニューロン間の局所的結合構造）を可変とするためのスイッチブロック SW 、及びアナログ処理ブロック ABS_k ($k=1, 2, \dots$) からの出力に基づき所定の信号出力を行う論理処理ブロック LB （ニューロン素子の一部）、論理処理ブロックの出力を保持する処理結果保持メモリブロック MB 、およびデジタル処理ブロック DB での演算特性制御データを格納する演算特性制御データ保持メモリ WB とから構成される。

【0057】

各処理結果保持メモリブロック MB は論理処理ブロック LB ごとに隣接して配置され、また各演算特性制御データ保持メモリ WB はデジタル処理ブロック DB ごとに隣接して配置される。図14に示すようにメモリブロック MB から読み出されたデータは、論理処理ブロック LB にフィードバック結合線10を介して入力され、次の階層レベルでの処理が進行する。

【0058】

このとき、回路構成制御手段2から演算特性制御データ保持メモリ WB に次の階層レベルでの処理に対応するシナプス結合荷重データが入力されるか、またはメモリ WB 内の読み出しアドレス制御信号が入力され、次の階層レベルでの処理に対応した結合荷重データが WB から読み出される。回路構成情報記憶手段1、回路構成制御手段2を含めた全体の構成は第一の実施形態と同様、図9に示しておりである。

【0059】

このように、論理処理要素その他のデジタル回路要素をアナログ回路要素と同様に分布、混在化させる構成により、大規模集積化してもアナログ処理要素の動作特性ばらつきの影響を受け難くし、安定動作可能とすることができる。デジタル回路要素においてアナログ処理要素の変動要因を吸収することができるからである。

【0060】

なお、第1実施形態と同様、メモリブロックMBを構成する記憶素子としては、アナログメモリとしてのキャパシタ、特に強誘電体材料若しくは高誘電率材料を用いたメモリなどが用いられる。その他、デジタルメモリとしてのSRAM、FeRAMなどを用いてもよい。メモリブロックWBとしては、不揮発性のメモリ例えば、FeRAMなどが用いられるが、SRAMなどであってもよい。

【0061】

図11においてJ層のニューロン素子 LB^J_3 が、I層($J > I$ 、一般的に $J = I - 1$)のニューロン素子から入力を受ける信号の伝達経路は、

$$LB^I_4 \rightarrow ABS_4 \rightarrow SW \rightarrow DB_3 \rightarrow LB^J_3、$$

$$LB^I_3 \rightarrow ABS_3 \rightarrow DB_3 \rightarrow LB^J_3、$$

$$LB^I_2 \rightarrow ABS_2 \rightarrow SW \rightarrow DB_3 \rightarrow LB^J_3$$

の3経路である。

【0062】

一方、J層のニューロン素子 LB^J_2 がI層のニューロン素子から入力を受ける信号の伝達経路は、

$$LB^I_3 \rightarrow ABS_3 \rightarrow SW \rightarrow DB_2 \rightarrow LB^J_2、$$

$$LB^I_2 \rightarrow ABS_2 \rightarrow DB_2 \rightarrow LB^J_2、$$

$$LB^I_1 \rightarrow ABS_1 \rightarrow SW \rightarrow DB_2 \rightarrow LB^J_2$$

の3経路である。

【0063】

これら3経路からなる2種類の経路はシナプス素子 ABS で部分的に重複しているが、第一の実施形態と同様、重複部分にあるシナプス素子が施すアナログ変

調量は信号経路によって一般的に異なる。また、シナプス素子 AB_S は、複数の経路（信号線）からの入力信号についての変調機能のほかに、適切な経路（方向）への分岐出力機能も有している。このために、本実施形態で用いるシナプス素子用アナログ処理ブロック AB_S は、図 12 に示すような構成をとる。ここに、アナログ処理ブロック AB_S は、3つの入力信号を別個独立に受け、内部に3つのアナログ変調手段と1個のスイッチ素子を有している。アナログ変調手段からの各出力は、スイッチ素子から5方向に任意に出力可能となっている。

【0064】

また、本実施形態で用いるデジタル処理ブロック DB の構成例を図 13 に示す。ここに、デジタル処理ブロック DB は、3つの遅延素子と1つのスイッチブロックを内部に有している。スイッチブロックは、特に時間的に出力方向を分岐するスイッチ素子から構成される点が図 3 に示すスイッチブロック SW と異なる。3つの遅延素子からの出力は統合されて1つの信号線に出力される。

【0065】

シナプス用アナログ処理ブロック AB_S では、第一の実施形態と同様にパルス信号を入力し、所定のパルス位相変調（または時間遅れ）を与えて出力する。この変調量（または遅延量）は、付随する演算特性制御データ保持メモリ WB から与えられる。また、時間遅延を与えるデジタル処理ブロック DB の遅延特性も演算特性制御データ保持メモリ WB により与えられる。

【0066】

本実施形態では、ニューロン素子による複数下位カテゴリの検出信号を統合する機能は、論理処理ブロック LB を用いて構成され、ニューロン素子回路の一部は上記論理処理ブロック LB を構成し、その論理処理ブロックは、予めリスト又は辞書形式で記述された組み合わせリスト構造データを参照して認識カテゴリに該当する組み合わせの入力信号があったか否かを判定する一種の組み合わせ論理回路および所定の認識（検出）信号の出力回路（ $Flip-Flop$ 回路及び論理回路）等から構成される。

【0067】

最も単純な論理回路の形態としては、第一の実施形態に示したようにシナプス

回路で位相変調を受け、それぞれが異なる特徴カテゴリを表す複数のパルス信号列を論理処理ブロックが入力し、それらのANDをとる回路である。本実施形態では、論理処理ブロックLBによりANDをとる前に、デジタル処理ブロックDBにおいて遅延素子（デジタル回路素子）により各入力パルスに所定の遅延を与え、時間軸上でパルス到着時刻がほぼ同一になるようにする。

【0068】

例えば、ある特徴カテゴリの検出を表すパルス信号について、基準時刻に対するそのパルス到着の時間を t_n とすると、遅延素子では $T - t_n$ の遅延（ $T > t_n$ ）をそのパルス信号に対して与える。なお、遅延量はデジタル的に与えられるため、遅延素子からの出力パルスが互いに時間軸上で厳密に一致しない場合が生じえるが、その不一致の大きさは最大でもパルス幅の半分以下の程度となるように遅延量の精度が与えられているものとする。

【0069】

第一の実施形態に示すようにシナプス回路素子での変調を受けたパルス信号を共通バス経由で論理処理ブロックが入力する場合には、上述した遅延素子は遅延量を入力パルスに応じて切り替える（変調する）。さらにマルチプレクサ回路を経由して多入力ー出力のAND素子に入力する。

【0070】

以上のようにすることにより、低次特徴のリスト構造で与えられる高次特徴データの検出は単純なAND処理により実現することができる。ただし、単純なAND処理では構成要素である全ての低次特徴データが検出されない限り、高次特徴の検出が行われることはない。そこで検出される構成要素の割合が一定値以上であれば該当する高次特徴が検出されたことになるように論理回路を構成してもよい。例えば、M個の低次特徴要素から構成される高次特徴の検出がN個の低次特徴要素の所定空間配置での検出が行われることによりなされるとすると、 $M C_N (= M! / (M - N)! N!)$ 個（但し、 $m! = m(m - 1) \cdots 2 \cdot 1$ ）の夫々異なる組み合わせのパルス信号を入力するN入力1出力AND素子を設定し、それぞれの出力のORをとるように構成すればよい。

【0071】

次に、上記リスト構造データについて説明する。図 9 に示すように、高次パターンを構成する中次（低次）パターンの互いに連結するリスト構造として与えられる。

【0 0 7 2】

このデータ構造の例を図 1 5 9 に示す。ここに高次パターンのカテゴリを「顔」とし、これに対応して検出される予定の中次パターンのカテゴリは「目」、「鼻」、「口」のように与えられる。各中次パターンについても同様にそれを構成する低次パターンリスト構造（木構造）データとして与えられる。

【0 0 7 3】

このデータ構造には構成要素となる各中次パターンの空間配置情報が記述されていないが、これは、図 8 の階層的神経回路網を用いた構成において、各特徴検出層ニューロンがその前の層の特徴統合層に対して予め学習された空間配置を満たす複数の局所的特徴要素が存在することを検出できるようにシナプス結合していることを前提としているからである（特願 2 0 0 0 - 1 8 1 4 8 7 号参照）。即ち、予定された空間配置関係を満たすような局所的特徴要素が存在すれば、それぞれの検出信号（パルス信号）が予め設定された時間間隔で特徴検出層ニューロンに入力されるため、特徴検出層ニューロン素子内では、特徴要素間の空間配置関係を記述するデータを参照しなくても良いからである。

【0 0 7 4】

図 9 において中次特徴が黒丸で表示されているのは、「顔」としての検出に必要な中耳特徴の検出の状態を表し、白丸として与えられているのは未検出の状態を示す。図 9 は、明らかに少なくとも 3 つの中次特徴の検出が必要であることを表している。

【0 0 7 5】

< 第三の実施形態 >

要部構成を図 1 6 に示す。本実施形態においては、演算特性制御データとしての結合荷重データを保持する演算特性制御データメモリ 4 0 を一つ再構成処理回路 3 とは別個に設定し、再構成回路 3 内部には演算特性制御データ保持メモリを用いない。但し、中間出力データのフィードバックは、第 1、第 2 の実施形態と

同様に分散配置された処理結果保持メモリブロックMBを介して行う。例えば、図16においてアナログ処理ブロックAB^D_kの出力は隣接するメモリブロックMB_Dに保持され、その後読み出されたフィードバック結合線10によりアナログ処理ブロックAB^I_kに入力される。前実施形態と同様に回路構成の更新制御は、階層レベルを上げるごとに行い、実質的に2層で図8に示す並列階層処理回路の実現を行っている。メモリ40は、SRAM、FeRAMなどで構成され、後者としてはデジタル、アナログいずれのメモリであってもよい。なお、各メモリブロックMBは、前実施形態と同様に構成される。

【0076】

ここに、ある時刻で各特徴検出層内において検出する特徴の種別（特徴のカテゴリまたはサイズ）は一つであり、その種別は時系列的に回路構成制御手段2により更新されるようにしてもよい。

【0077】

パターン認識を行う再構成処理回路3は、入力データ上の各サンプリング点において、時系列的に異なるカテゴリのパターン検出に関する中間処理結果を処理結果保持メモリMBに保持しながら階層的に行う。回路構成制御手段2は、処理結果保持MBから読み出される各特徴検出層102での検出結果（ニューロン素子AB^D）を特徴統合層103の各ニューロン素子（AB^I）に出力するとともに、回路構成情報記憶手段1から読み出される回路構成情報に基づいてスイッチブロックSWのON/OFFパターン、およびアナログ処理ブロックABのパラメータの設定を行う。

【0078】

再構成処理回路3においては、第一の実施形態と同様、カスケード的に交互に配列された特徴検出層102と特徴統合層103が、低次から高次パターン検出までを階層的に行う（図8）が、本実施形態では、処理の階層構成を仮想的に実現するために、それを時系列的に行う。このようにすることにより、全体的な回路規模を大幅に小さくすることができる。

【0079】

各特徴検出層102からの出力は、後段の特徴統合層103において前実施形

態と同様のサブサンプリング処理が行われた後、一時的にメモリブロックMBに格納される。更に、特徴検出層102は、以下に示すようにシナプス荷重分布（局所受容野構造）が更新されると同時に、メモリブロックMBから時系列的に特徴種別ごとの検出結果を入力する。

【0080】

例えば、目に相当するパターン（中次パターン）の検出を行う特徴検出層102の局所受容野構造は、当該中次パターンを構成する低次パターン P_1 , P_2 , \dots , P_n のそれぞれに固有な局所受容野構造として、パターン P_k ($k=1, \dots, n$) ごとの特徴検出層出力を処理結果保持メモリMBから入力するたびに更新（または設定）される。なお、特徴検出層の各ニューロンの受容野構造は特徴種別に応じて更新されるが、特徴統合層各ニューロンの受容野構造は特徴種別のうち受容野サイズが同一であれば更新しない。

【0081】

この局所受容野構造は、入力されるべき特徴の種別ごとに回路構成情報記憶手段1にデジタルデータとして保持され、当該記憶手段1から読み出され、回路構成制御手段2からの制御信号により更新される。

【0082】

例えば、ある時刻で目に相当するパターンの検出を行っていた特徴検出層102（中次特徴検出を行う層）のニューロンの受容野構造は、別の時刻では、鼻又は口に相当するパターンの検出を行うように、回路構成制御手段2からの制御信号に従って所定の順序で更新される。

【0083】

このように入力データについて、一つの再構成処理回路3で異なる特徴検出（認識）を時間的にずらして行う多重化処理を行うことにより、入力データ上のサンプリング位置での複数の特徴検出を別個独立に同時並列的に行う回路構成と比べて、大幅な回路規模の縮小がもたされる。

【0084】

時間的に制御される受容野の構造は、動的に再構成可能なアナログデジタル回路要素を混載する回路構成情報データを格納する不図示のSRAM（またはMR

AM、FRAM等) などから構成される回路構成情報記憶手段1と回路構成制御手段2とにより与えられる。

【0085】

図8に示すような局所受容野構造を有するニューロンからなる階層的神経回路網を実現する際には、各層ごとに回路構成情報を更新するための記憶手段と回路構成制御手段が一般的に必要なが、本実施形態では、以下に示すように、階層構造の層数が幾つであっても一セットの回路構成情報記憶手段1、及び回路構成制御手段2があれば足りる。

【0086】

例えば、ある時刻で特徴検出層102が入力データ上の各サンプリング点で検出すべき特徴の種別(例えば、特徴カテゴリとサイズ)が一つであるとする、特徴検出層ニューロンの各局所的受容野の構造も同一となる。その結果、受容野構造を与える回路構成情報記憶手段1及び回路構成制御手段2を共有化して時系列的に各スイッチブロックSBとアナログ処理ブロックABSに回路構成情報を与えることができる。

【0087】

受容野構造を反映した結合ごとの重み係数の更新及び設定は、メモリ手段40から供給される重み係数データに従ってアナログ処理ブロックABSのシナプス回路の荷重データが更新されることにより実現される。

【0088】

例えば、シナプス荷重値はアナログ処理ブロックABS内の浮遊ゲート素子に蓄えられる注入電荷量により与えられるとすると、シナプス荷重の設定などは、メモリ手段40に格納された重み係数データに相当するシナプスごとの荷重値に相当する電荷の注入が図2に示すABS制御線を介してなされることにより行われる。

【0089】

以下、上記実施形態に係わる本発明の特徴を整理する。

【0090】

特徴1.

演算処理回路と、
回路構成情報を記憶する回路構成情報記憶手段と、
前記回路構成情報記憶手段から読み出される回路構成情報に基づき前記演算処理回路に所定の制御信号を出力する回路構成制御手段とを有し、
前記演算処理回路は、
入力信号に対して所定の信号変調を行う複数のアナログ処理ブロックと、
前記複数のアナログ処理ブロックからの出力を一時的に保持する複数の処理結果保持メモリブロックと、
前記複数のアナログ処理ブロックの演算特性を制御するためのデータを格納する複数の演算制御データメモリブロックと、
前記複数の処理結果保持メモリブロックまたは前記複数のアナログ処理ブロック間を結ぶ複数の信号線とを備え、
前記回路構成制御手段が前記演算制御データメモリブロックからのデータ読み出しを制御することにより、前記演算処理回路に異なる複数の信号処理機能を実行させることを特徴とする信号処理回路。

【0091】

特徴2.

演算処理回路と、
前記演算処理回路の回路構成情報および演算特性制御用データを格納する回路構成情報記憶手段と、
前記回路構成情報記憶手段から読み出される回路構成情報および演算特性制御用データに基づき前記演算処理回路に所定の制御信号を出力する回路構成制御手段とを有し、
前記演算処理回路は、複数のスイッチブロックと、それぞれ複数の第一及び第二のタイプのアナログ処理ブロックと、前記第二のアナログ処理ブロックの出力を保持する処理結果保持メモリブロックとが所定の信号線により所定のパターンで結線され、
前記第一のタイプのアナログ処理ブロックは、前記第二のタイプのアナログ処理ブロックからの信号に所定の変調を与え、

前記第二のタイプのアナログ処理ブロックは、前記第一のタイプの複数アナログ処理ブロック手段からの信号を統合することにより所定の信号を出力し、

前記スイッチブロックは、複数のスイッチ素子と複数の信号線とを有し、

前記回路構成制御手段が当該複数のスイッチ素子動作のオン、オフパターンまたは前記アナログ処理ブロックの信号変調パラメータを制御することにより、前記演算処理回路に異なる複数の信号処理機能を実行させることを特徴とする信号処理回路。

【0092】

特徴3.

演算処理回路と、

回路構成情報および演算特性制御用データを記憶する回路構成情報記憶手段と

前記回路構成情報記憶手段から読み出される回路構成情報および演算特性制御用データに基づき前記演算処理回路に所定の制御信号を出力する回路構成制御手段とを有し、

前記演算処理回路は、

複数のスイッチ素子と複数の信号線とを含む複数のスイッチブロックと、複数の論理処理ブロックと、入力信号に対して所定の変調を行う複数のアナログ処理ブロックと、前記論理処理ブロック手段または前記アナログ処理ブロックからの出力を保持する複数の処理結果保持メモリブロックとが所定の信号線により結線され、

前記回路構成制御手段が、前記複数のスイッチ素子動作のオン、オフパターンまたは前記アナログ処理ブロックの信号変調量を制御することにより、前記演算処理回路に異なる複数の信号処理機能を実行させることを特徴とする信号処理回路。

【0093】

特徴4.

前記スイッチブロックは、所定の信号線を介して前記複数のアナログ処理ブロックからの信号を入力することを特徴とする特徴1乃至3に記載の信号処理回路

。

【 0 0 9 4 】

特徴 5.

前記アナログ処理ブロックは、入力信号変調手段と出力信号の分岐回路とを有することを特徴とする特徴 1 乃至 3 に記載の信号処理回路。

【 0 0 9 5 】

特徴 6.

前記アナログ処理ブロックは、入力信号に対して時間的に異なる所定の重み付き加算処理または重み付き積分処理を行うことを特徴とする特徴 1 乃至 3 に記載の信号処理回路。

【 0 0 9 6 】

特徴 7.

前記アナログ処理ブロックは、異なる変調度を設定可能な複数の入力信号変調回路を有することを特徴とする特徴 1 乃至 3 に記載の信号処理回路。

【 0 0 9 7 】

特徴 8.

前記入力信号変調回路は、パルス信号の遅延または位相を変調する回路であることを特徴とする特徴 7 に記載の信号処理回路。

【 0 0 9 8 】

特徴 9.

前記スイッチブロックは、複数の入出力用信号線と、複数のスイッチ素子とを有し、所定の前記信号線から入力された信号を他の前記信号線に出力することを特徴とする特徴 1 乃至 3 に記載の信号処理回路。

【 0 0 9 9 】

特徴 1 0.

前記論理処理ブロックは、複数の入力信号についての少なくとも一つの論理積回路を有することを特徴とする特徴 3 に記載の信号処理回路。

【 0 1 0 0 】

特徴 1 1.

前記第一のタイプのアナログ処理ブロックは、入力信号の変調手段を有し、前記第二のタイプのアナログ処理ブロックは、入力信号の重み付き時間積分を行うことを特徴とする特徴 2 に記載の信号処理回路。

【0101】

特徴 12.

前記スイッチブロックは、所定の制御線からの制御信号により前記複数のスイッチ素子のオンまたはオフ動作が設定されることを特徴とする特徴 9 に記載の信号処理回路。

【0102】

特徴 13.

前記スイッチブロックは、同一方向に複数の信号線を配してなることを特徴とする特徴 9 に記載の信号処理回路。

【0103】

特徴 14.

前記処理結果保持メモリブロックを構成するメモリは、強誘電体材料を用いてなることを特徴とする特徴 1 乃至 13 に記載の信号処理回路。

【0104】

特徴 15.

前記処理結果保持メモリブロックを構成するメモリは、高誘電率材料を用いてなることを特徴とする特徴 1 乃至特徴 13 に記載の信号処理回路。

【0105】

特徴 16.

パターンデータを入力する入力手段と、
演算処理回路と、
回路構成情報を記憶する回路構成情報記憶手段と、
前記回路構成情報記憶手段から読み出される回路構成情報に基づき前記演算処理回路に所定の制御信号を出力する回路構成制御手段とを有し、

前記演算処理回路は、それぞれ複数のスイッチと、複数のアナログ処理ブロックと、前記アナログ処理ブロックからの出力データを保持する複数の処理結果保

持メモリブロックと、前記スイッチ手段またはアナログ処理ブロック間を結ぶ複数の信号線とを少なくとも備え、

前記回路構成情報記憶手段は、前記複数のスイッチ手段オン、オフパターン情報と前記複数のアナログ処理ブロックの信号変調用データとをそれぞれ少なくとも一種類記憶し、

前記回路構成制御手段は、前記回路構成情報記憶手段から読み出された回路構成情報に基づき、前記複数のスイッチのオン、オフパターン制御信号と、前記複数のアナログ処理ブロックに所定の演算特性制御用データを与えることにより、当該入力パターンの一部または全部について、所定の複数位置で所定の複数の特徴カテゴリを検出して、所定の認識結果を出力する出力手段とを有することを特徴とするパターン認識装置。

【0106】

特徴17.

前記処理結果保持メモリブロックを構成するメモリは、強誘電体材料を用いてなることを特徴とする特徴16に記載のパターン認識装置。

【0107】

特徴18.

前記処理結果保持メモリブロックを構成するメモリは、高誘電率材料を用いてなることを特徴とする特徴16に記載のパターン認識装置。

【0108】

【発明の効果】

以上説明したように、本発明によれば、アナログ処理要素を複数含む並列処理回路構成において、複数の回路構成を少数の基本回路構成で多様に構成することができ、回路要素数の増減なく大規模な並列処理アナログ処理回路を小規模な回路構成で実現することができる。

【図面の簡単な説明】

【図1】

演算処理回路の要部構成図である。

【図2】

再構成可能な信号処理回路の基本要素ブロック間の結線図である。

【図 3】

シナプス用アナログ処理ブロックの構成図である。

【図 4】

シナプス部とニューロン素子の構成を示す図である。

【図 5】

スイッチブロック手段の構成図である。

【図 6】

スイッチブロック手段の構成図である。

【図 7】

スイッチブロック手段の構成図である。

【図 8】

階層的神経回路網の構成図である。

【図 9】

再構成可能な信号処理回路の全体構成図である。

【図 10】

パターン認識装置を撮影装置に搭載した応用例の要部構成図である。

【図 11】

演算処理回路の要部構成図である。

【図 12】

シナプス用アナログ処理ブロックの構成図である。

【図 13】

本発明の第二の実施形態に係るデジタル処理ブロックの構成図である。

【図 14】

再構成可能な信号処理回路の基本要素ブロック間の結線図である。

【図 15】

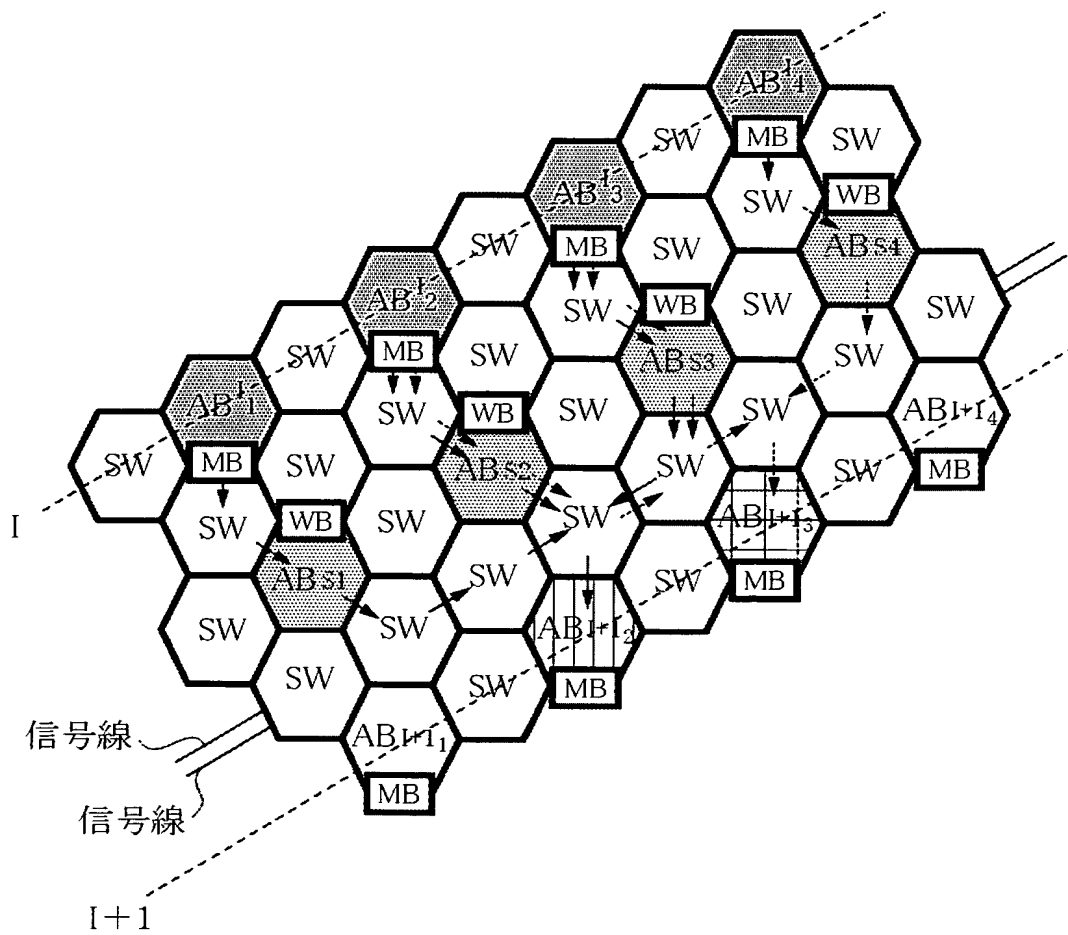
中次特徴の配置関係を表すリスト構造データの例を示す図である。

【図 16】

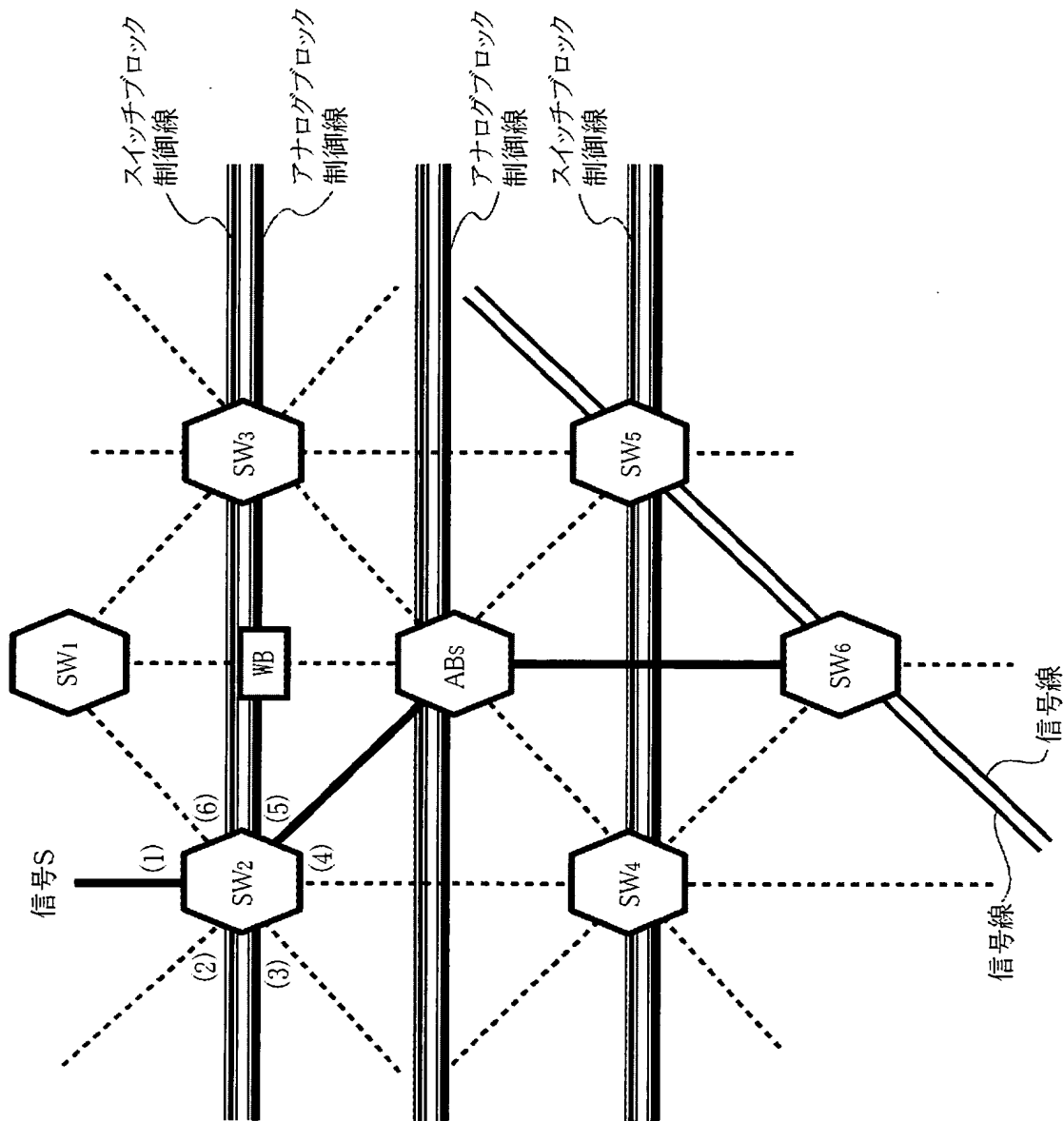
演算処理回路の要部構成図である。

【書類名】 図面

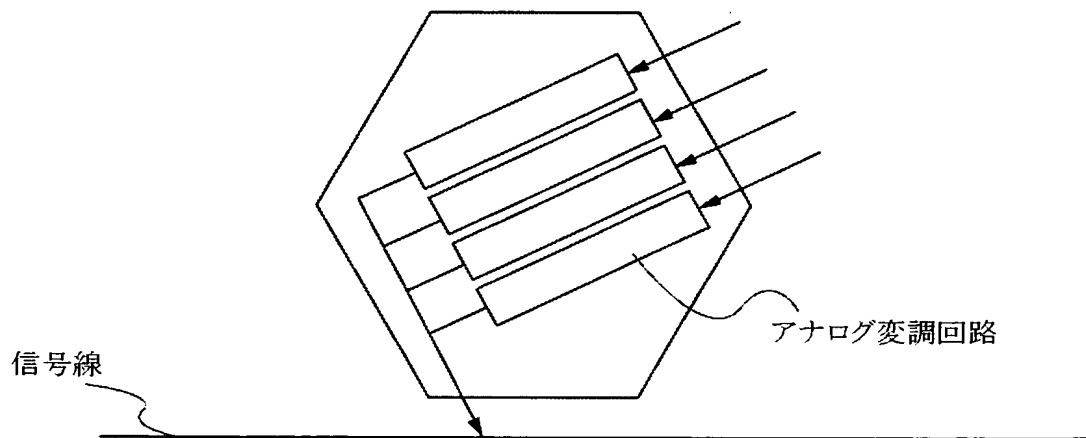
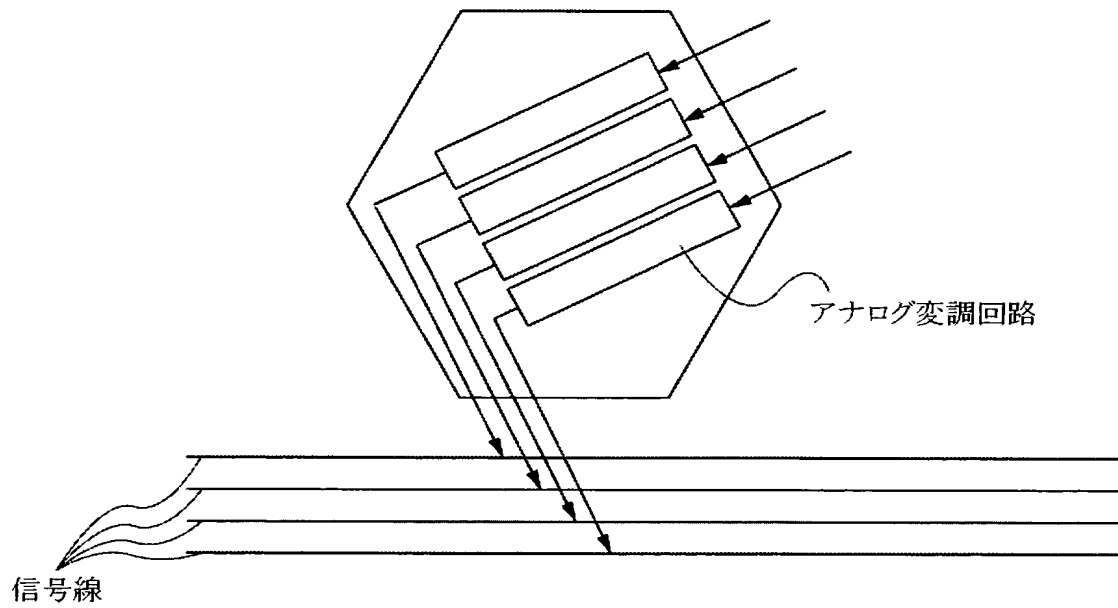
【図 1】



【図 2】

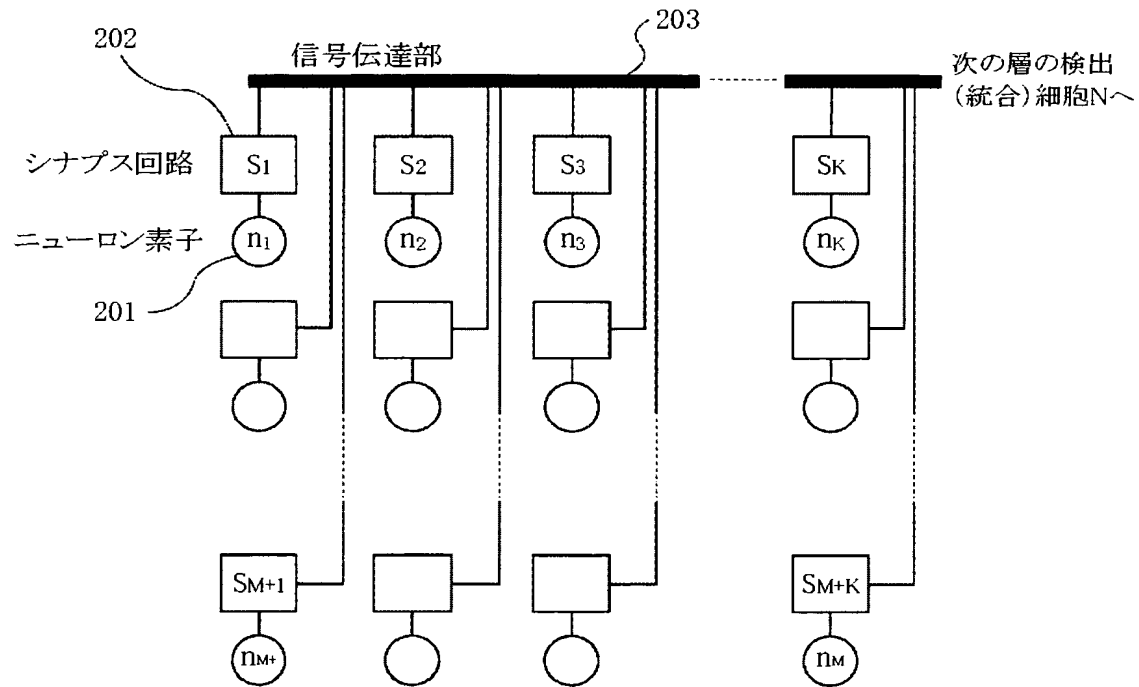


【図3】

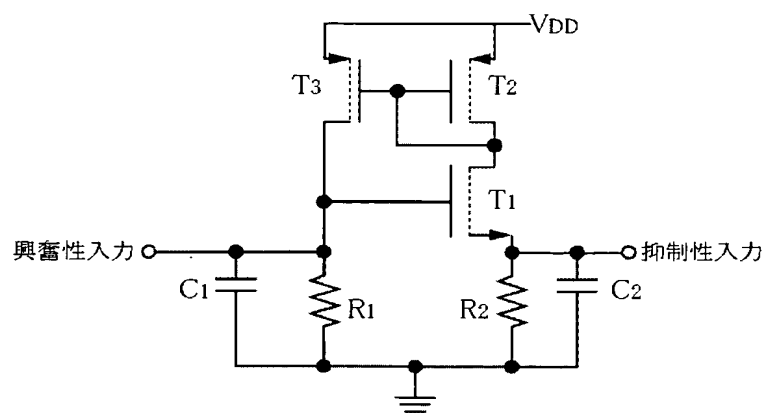


【図 4】

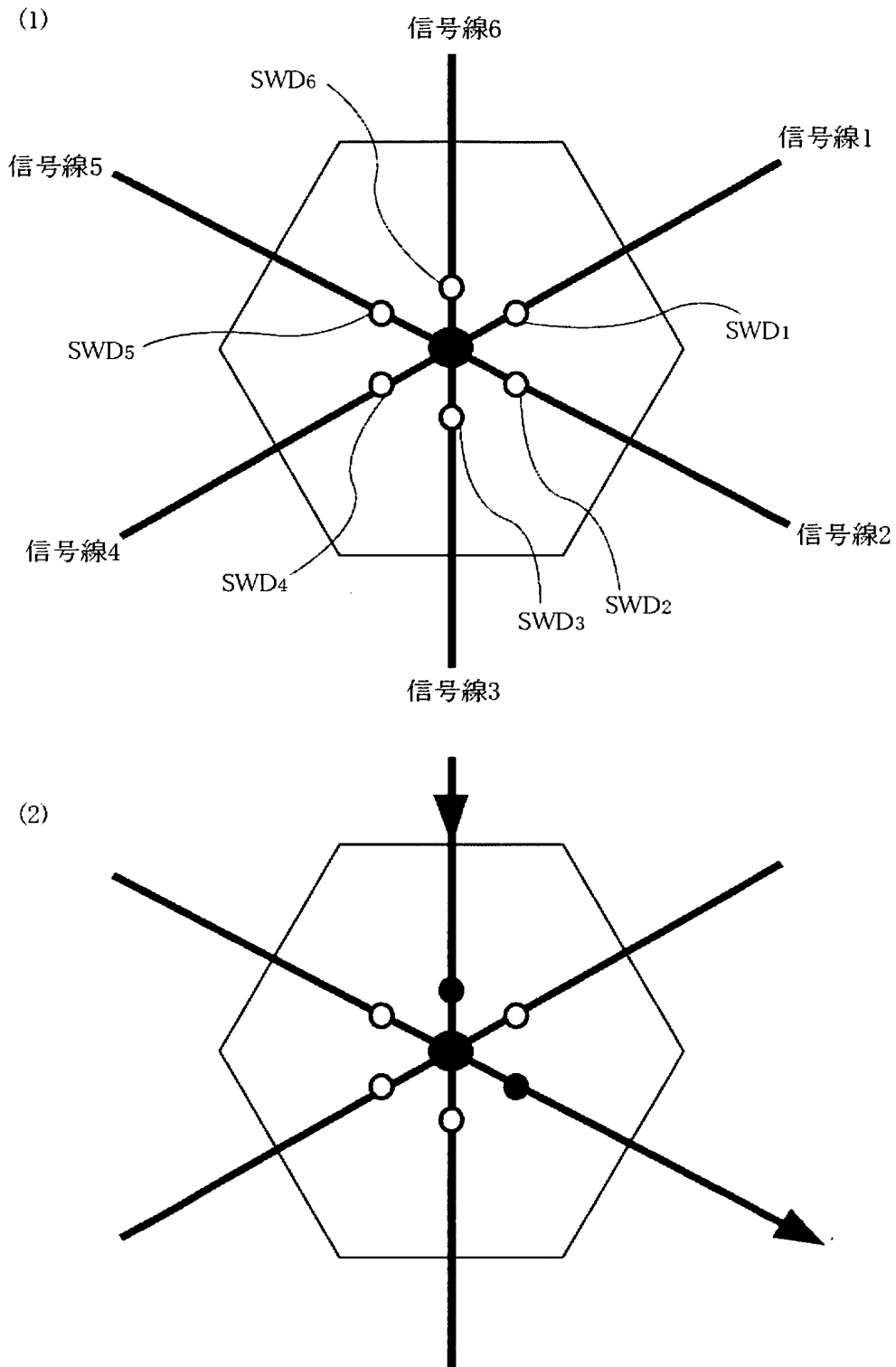
(A)



(B)

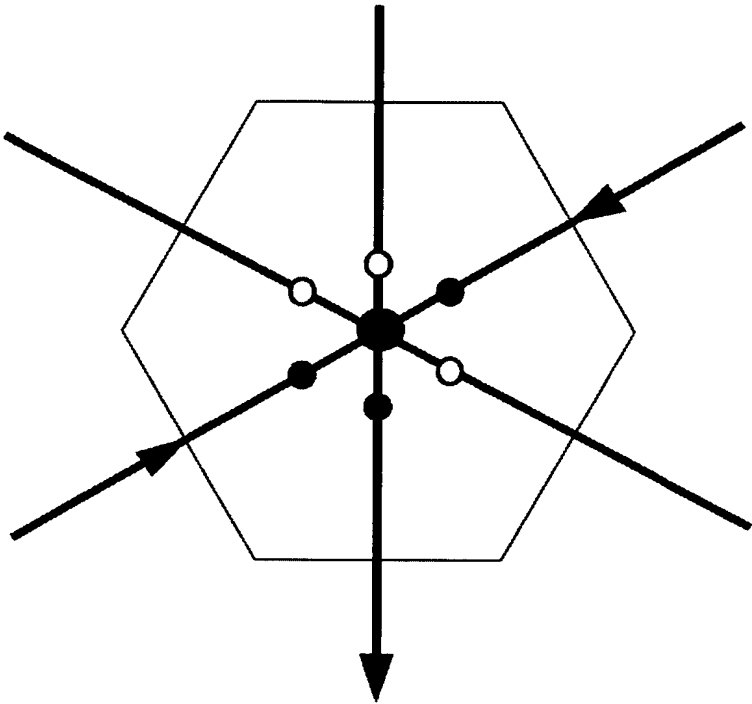


【図 5】

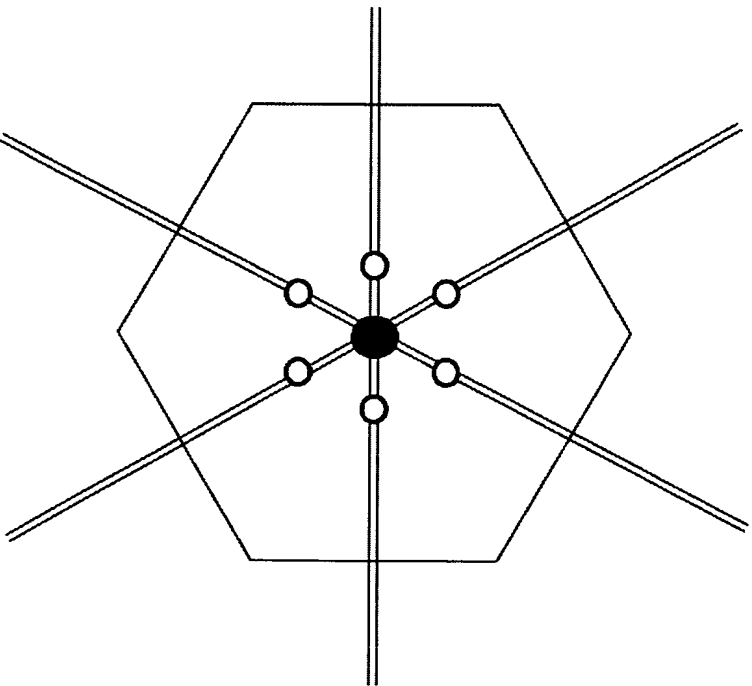


【図 6】

(1)

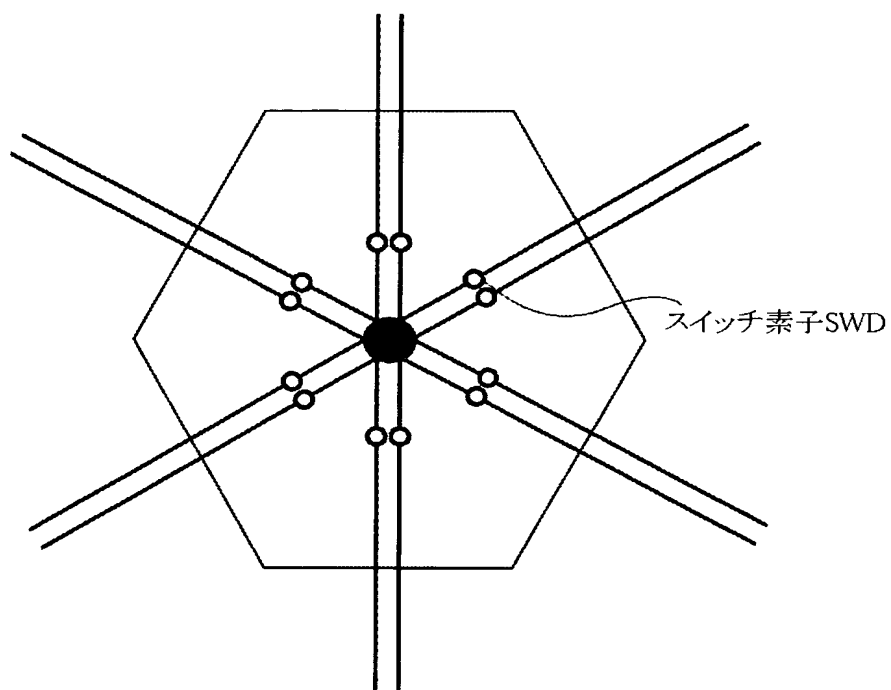


(2)

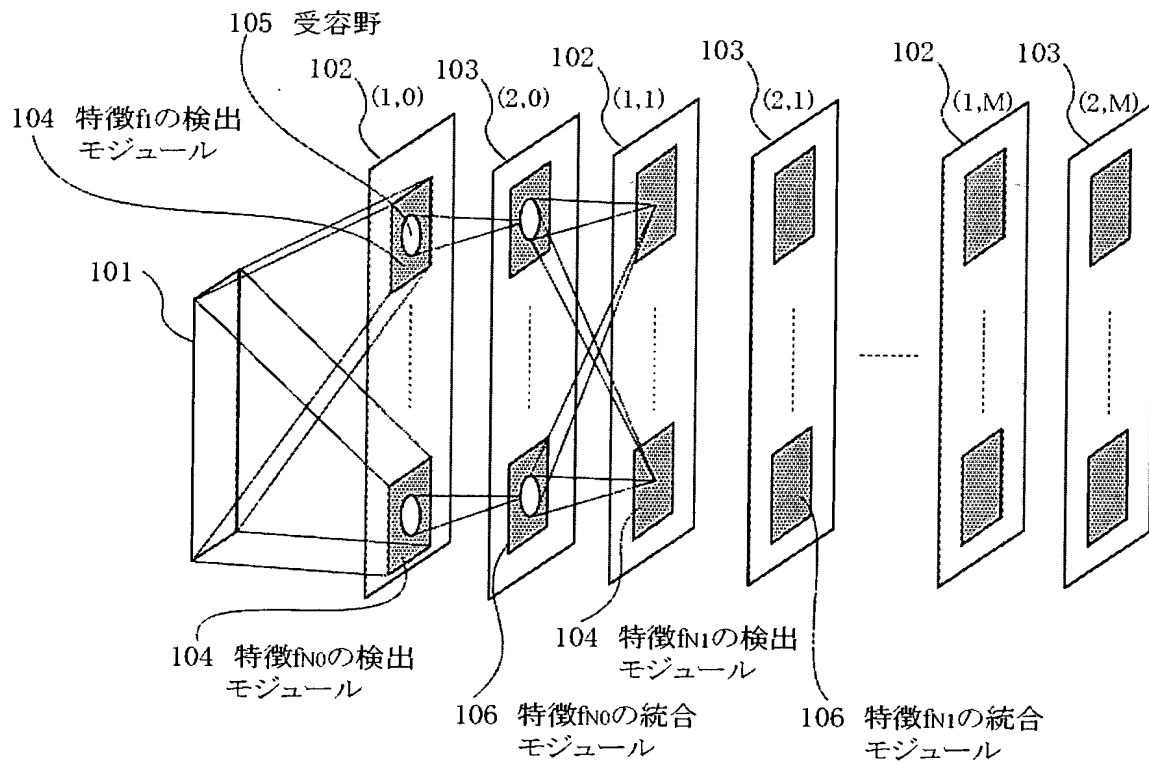


【図 7】

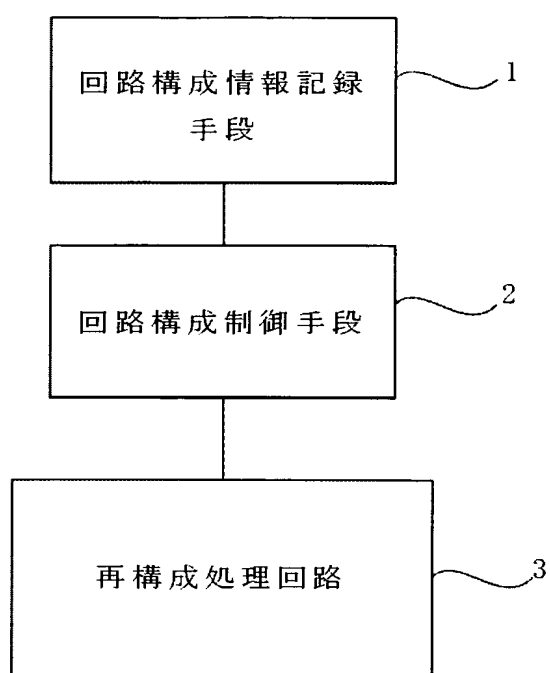
(1)



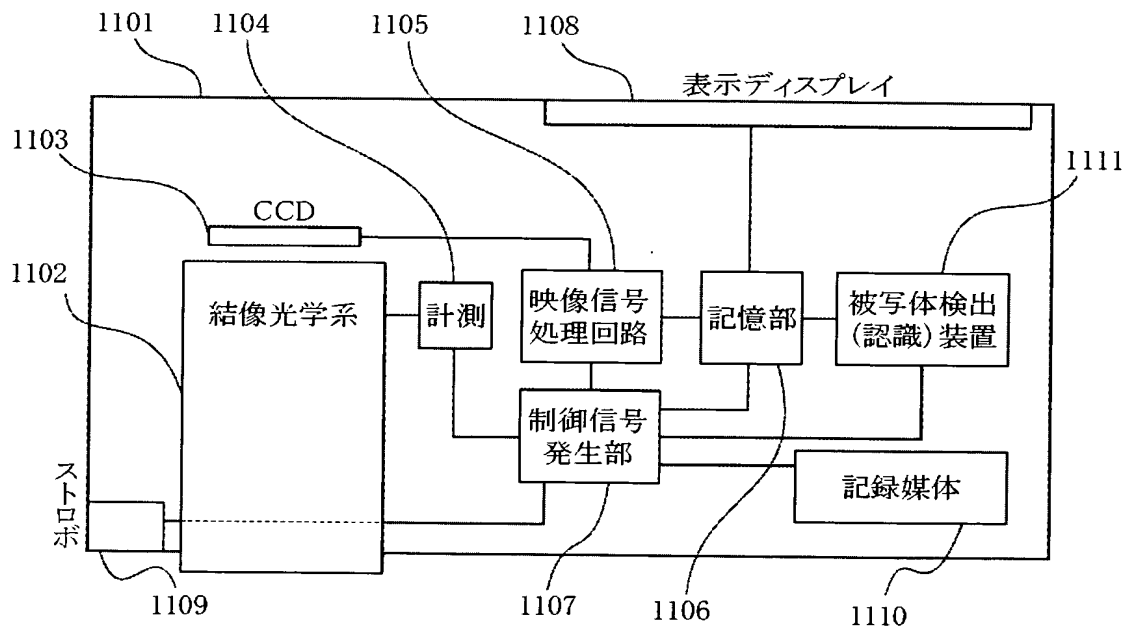
【図 8】



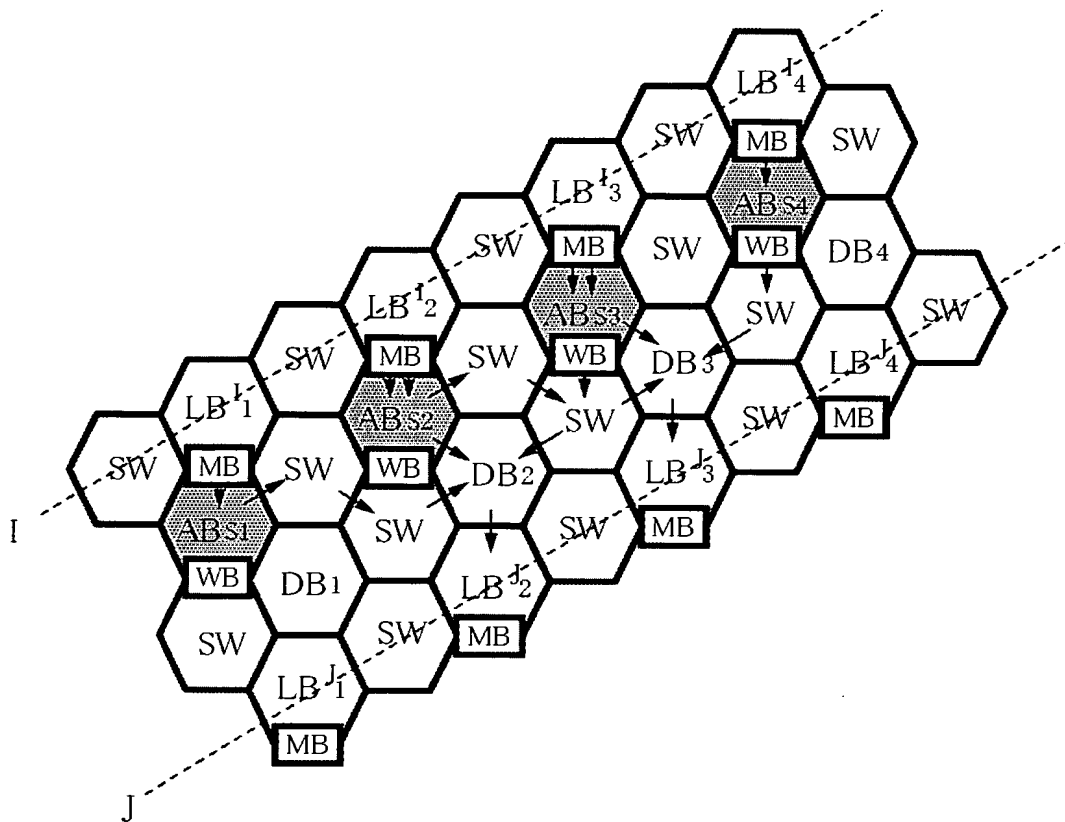
【図 9】



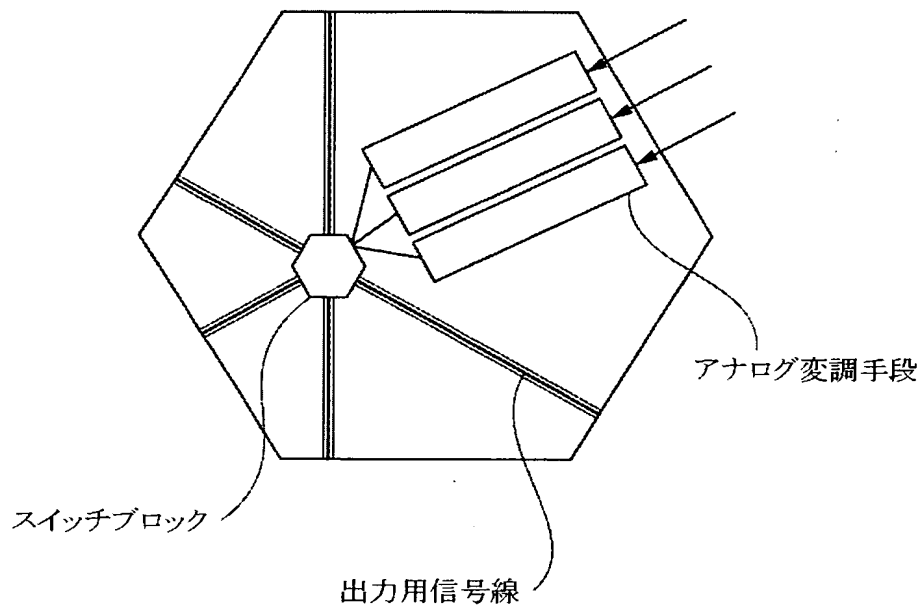
【図 10】



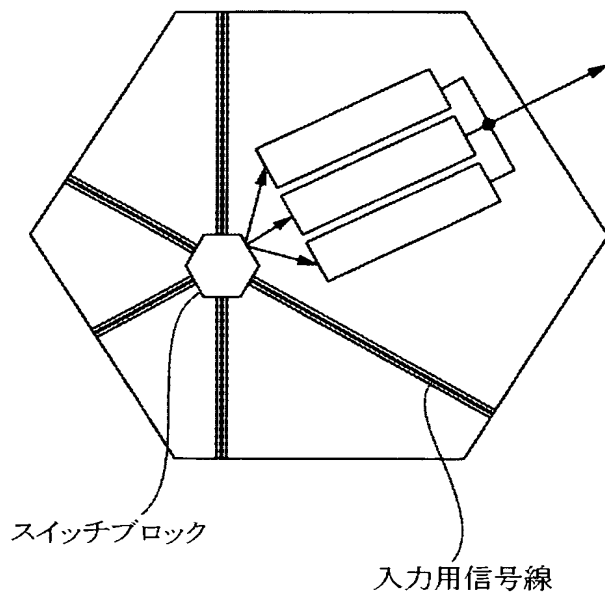
【図 11】



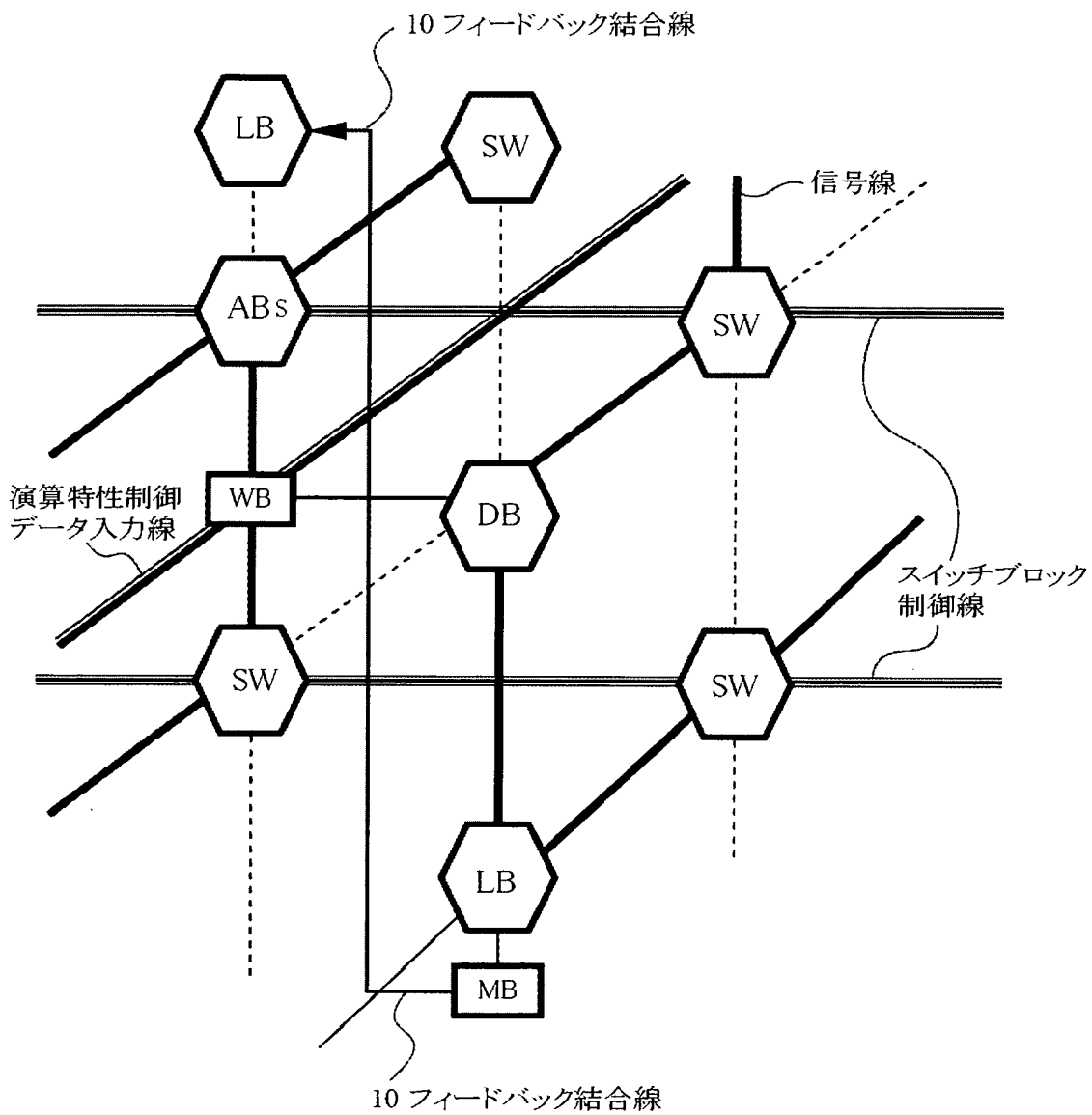
【図 12】



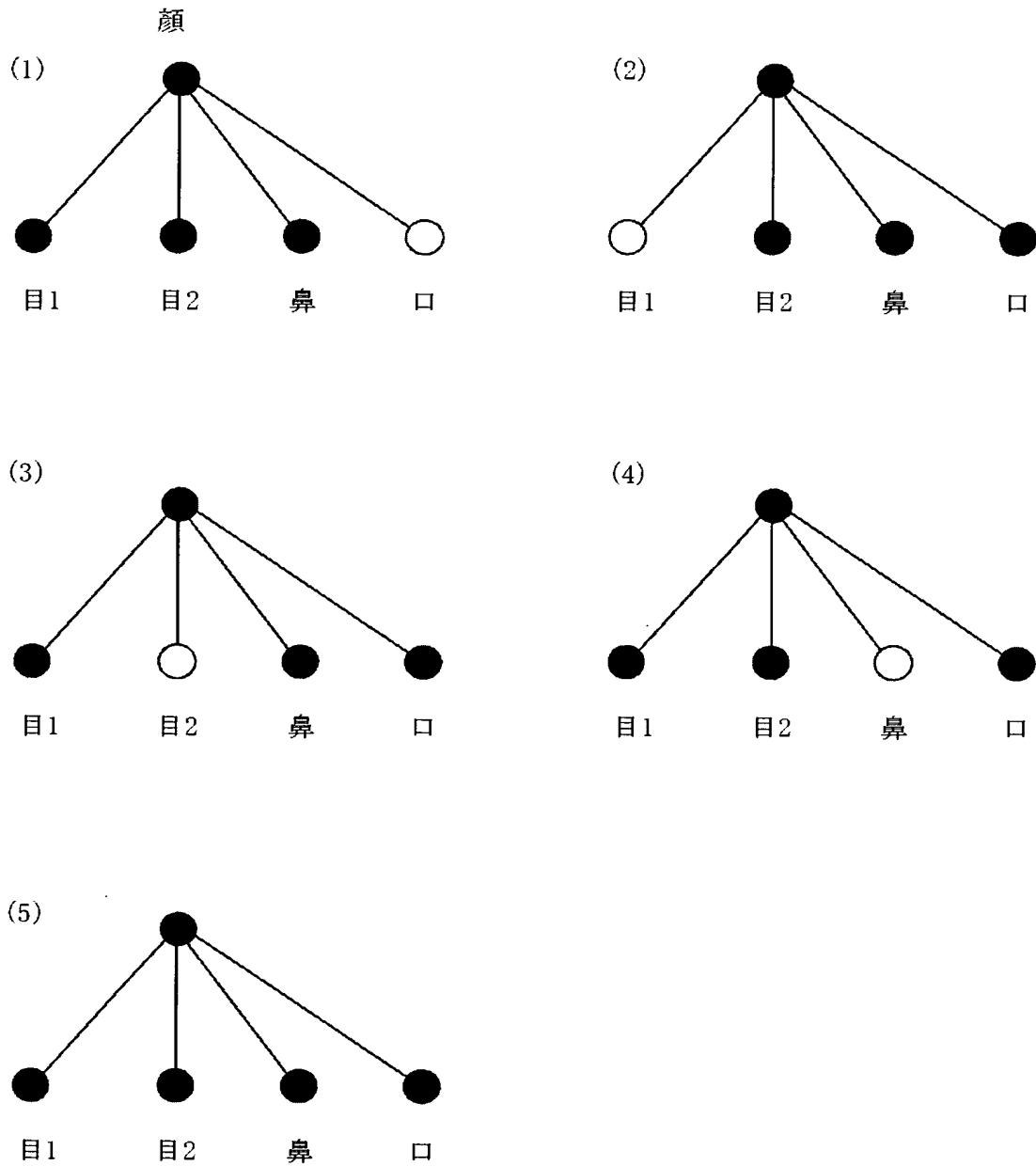
【図 13】



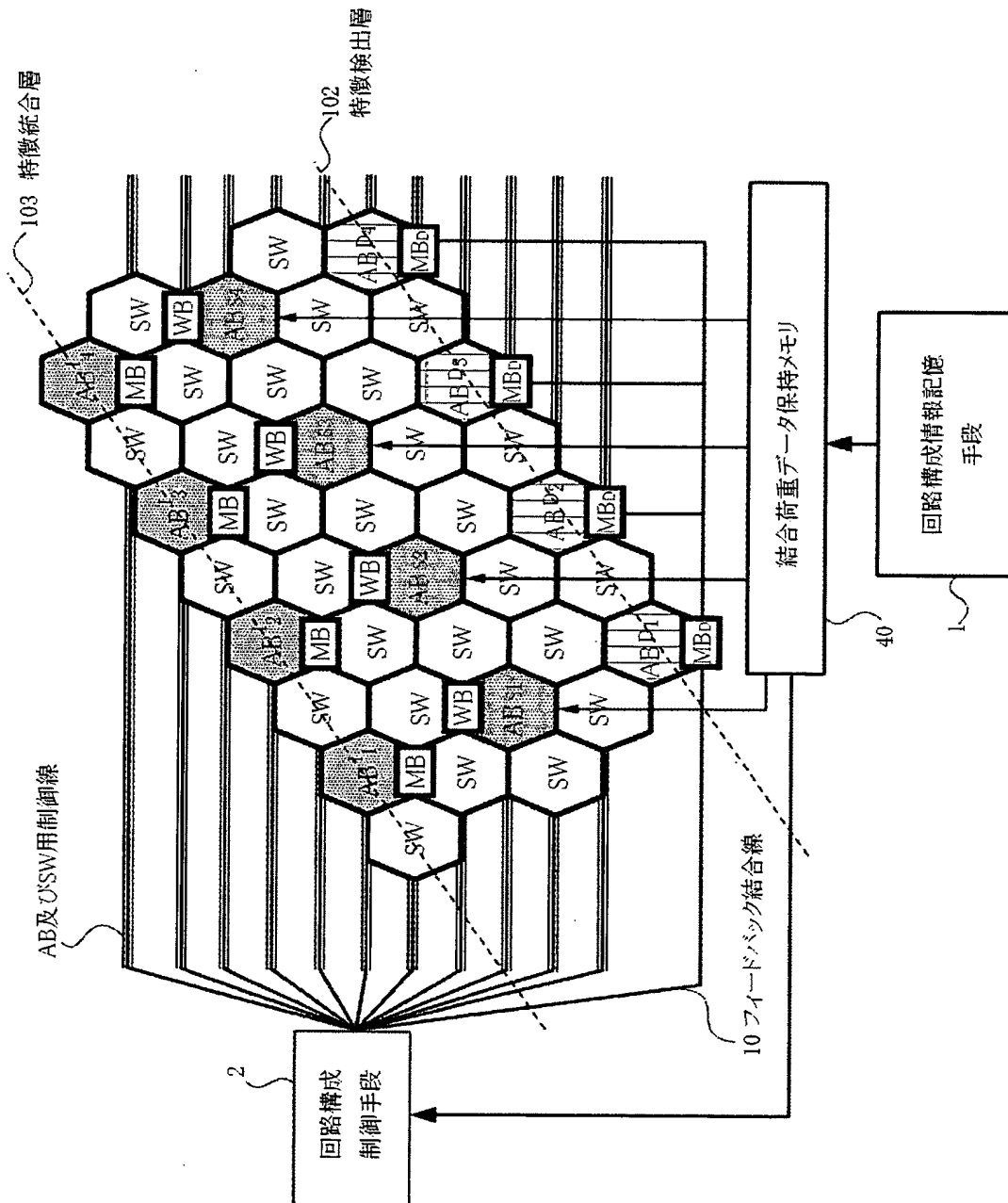
【図 14】



【図 15】



【図 16】



【書類名】 要約書

【要約】

【課題】 小規模な回路構成で大規模な並列階層処理回路を低消費電力で実現する。

【解決手段】 記憶手段から読み出される回路構成情報に基づいて演算処理回路に所定の制御信号を出力する信号処理回路において、前記演算処理回路に、入力信号に対して所定の信号変調を行う複数のアナログ処理ブロック AB^I 、 AB^S と、複数のアナログ処理ブロック AB^I からの出力を一時的に保持する複数の処理結果保持メモリブロック MB と、複数のアナログ処理ブロック AB^S の演算特性を制御するためのデータを格納する複数の演算制御データメモリブロック WB と、複数の処理結果保持メモリブロック MB または複数のアナログ処理ブロック AB^I 間を結ぶ複数の信号線とを備え、演算制御データメモリブロック WB からのデータ読み出しを制御することにより、演算処理回路に異なる複数の信号処理機能を実行させる。

【選択図】 図 1

特願 2 0 0 2 - 3 2 2 7 1 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 0 0 7]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キヤノン株式会社